

## PATENT COOPERATION TREATY

PCT

NOTIFICATION CONCERNING  
SUBMISSION OR TRANSMITTAL  
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

SAEGUSA, Eiji  
Kitahama TNK Building  
1-7-1, Doshomachi, Chuo-ku  
Osaka-shi, Osaka 541-0045  
Japan

Date of mailing (day/month/year) 21 May 2003 (21.05.03)	
Applicant's or agent's file reference P03-08	<b>IMPORTANT NOTIFICATION</b>
International application No. PCT/JP03/03493	International filing date (day/month/year) 24 March 2003 (24.03.03)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 26 March 2002 (26.03.02)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al	

- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- An asterisk(\*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, **the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.**
- The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, **the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.**

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
26 Marc 2002 (26.03.02)	2002-85284	JP	16 May 2003 (16.05.03)

The International Bureau of WIPO  
34, chemin des Colombettes  
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 338.70.10

Authorized officer

Nadia ZENAGUI (Fax 338 7010)

Telephone No. (41-22) 338 9999

Docket No.: 63979-028

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of

Takashi NISHIKAWA, et al.

Serial No.:

Group Art Unit:

Filed: July 11, 2003

Examiner:

For: A SEMICONDUCTOR DEVICE AND A FABRICATION METHOD THEREOF

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

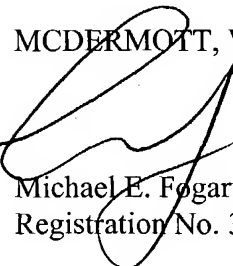
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. 2002-085284, filed March 26, 2002**

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:prg  
Facsimile: (202) 756-8087  
**Date: July 11, 2003**

日本国特許  
JAPAN PATENT OFFICE

63979-028  
Nishikawa et al.  
July 11, 2003

MacDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2002年 3月26日

出願番号  
Application Number:

特願2002-085284

[ST.10/C]:

[JP2002-085284]

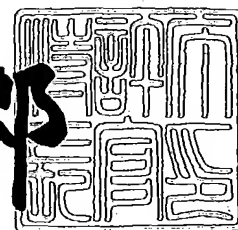
出願人  
Applicant(s):

松下電器産業株式会社

2003年 2月 7日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3005149

【書類名】 特許願

【整理番号】 2030240019

【提出日】 平成14年 3月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 西川 孝司

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 大塚 隆

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 電界効果型トランジスタとその製造方法

【特許請求の範囲】

【請求項1】 ゲート絶縁膜の上方に設置された浮遊電極金属と、前記浮遊電極金属の上方に設置された強誘電体膜との間、

および、前記強誘電体膜と、前記強誘電体膜の上方に設置された制御電極金属との間、

の少なくとも一方に、Hfの酸化物を最も多く含んでなる絶縁膜を配置していることを特徴とする半導体装置。

【請求項2】 Hfの酸化物を最も多く含んでなる絶縁膜に、窒素を添加していることを特徴とする請求項1記載の電界効果型トランジスタ。

【請求項3】 窒素の含有量が0.1%以上でありかつ10.0%以下であることを特徴とする請求項2記載の電界効果型トランジスタ。

【請求項4】 請求項1から3のいずれかに記載の電界効果型トランジスタを製造する方法であって、窒素を含むHfの酸化物からなる絶縁膜の形成をスパッタ法によって行い、そのスパッタガスに少なくとも酸素ガスおよび窒素ガスを用いることを特徴とする電界効果型トランジスタの製造方法。

【請求項5】 スパッタガスに用いる酸素と窒素の混合割合が1:10以下であることを特徴とする請求項4記載の電界効果型トランジスタの製造方法。

【請求項6】 窒素を添加したHf酸化物の成膜後、200℃以上、800℃以下の温度でアニールすることを特徴とする請求項4または5に記載の電界効果型トランジスタの製造方法。

【請求項7】 アニール時間を5秒以上30分以下とすることを特徴とする請求項6に記載の電界効果型トランジスタの製造方法。

【請求項8】 アニールの雰囲気ガスに窒素を80%以上含むことを特徴とする請求項6または7に記載の電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ゲート絶縁膜上に強誘電体薄膜を積層した電界効果型トランジスタの構造とその製造方法に関する。

【0002】

【従来の技術】

従来磁気テープやハードディスク装置、光ディスク装置、あるいは光磁気ディスク装置などによって実現されていた、電力の供給を遮断しても情報を保持する能力、すなわち情報記録の不揮発性に関して、近年半導体による固体素子を用いようとする試みが盛んである。例えば既に実用化されているフラッシュメモリやFeRAMなどと呼ばれているものがこれに相当する。これらは、磁気テープ装置やハードディスク装置、光ディスクあるいは光磁気ディスク装置で必要とされていた可動機械部分が無く、且つ外形寸法が小さく消費電力が少なくなるとして期待されている。

【0003】

フラッシュメモリについては第一の文献「応用物理 第65巻 第11号 (1996年) 1114頁～1124頁：フラッシュメモリ技術、久米 均」にその概要がまとめられている。

【0004】

しかしながら現状のフラッシュメモリやFeRAMでは以下のような問題点がある。

【0005】

現状のフラッシュメモリは高い動作電圧を必要とし、例えば第一の文献で示した例では内部最大電圧が12Vである。これは、通常のDRAMやLSIが3～4Vで動作するのに比べて非常に高い。また、現状のフラッシュメモリは、書き換え時間に1ミリ秒～1秒を必要とし、頻繁なデータの書き換えを考えたとき、使用者には大きなストレスを与える。

【0006】

FeRAMについては第二の文献「電子情報通信学会誌 Vol. 80, No. 2 (1997年) 169頁～175頁：理想的なメモリとしての強誘電体メモリ、Elliott M. Philofsky」にその概要がまとめ

られている。これによるとフラッシュメモリが12V以上の高い内部電圧であるのに比べて、FeRAMでは5V以下と低いことが開示されている。またアクセス時間に関しても250ナノ秒と非常に短い。

## 【0007】

しかしながら、現状のFeRAMでは以下のような問題点がある。

## 【0008】

第二の文献によると、FeRAMの場合は、強誘電体キャパシタのスイッチング特性が温度の影響を受けやすく、また高温アニールが必要にも関わらず強誘電層の構成元素としてPbやBiなどの低融点金属を含んでいるために、それらの元素の基板への拡散の問題があるなどの課題も開示されている。

## 【0009】

これらフラッシュメモリ、FeRAM以外に最近精力的に開発検討がなされている不揮発性記憶素子に、「MFSトランジスタ」と総称されるものがある。例えば第三の文献「電子情報通信学会誌 Vol. 77、No. 9 976頁～979頁：強誘電体メモリの開発動向と将来、垂井康夫」にその概要がまとめられている。このデバイスは通常のMOSトランジスタ構造のゲート部分に強誘電体を置き、強誘電体の分極の向きによってトランジスタのチャネルのコンダクタンスを変えて不揮発性のメモリを実現しようとするものである。通常、強誘電体を直接Si基板上に置くことは元素の拡散などの問題から難しいので、拡散抑止層を兼ねた絶縁体膜（Insulator）を基板－強誘電体層間に挿入したMFIS構造、あるいは更に浮遊電極を挿入したMFMISS構造を取ることが多い。本発明は、それらの中でも特に浮遊電極を挿入したタイプのMFMISS型のトランジスタに関するものである。

## 【0010】

このMFMISSトランジスタにおいても実際にはいくつかの問題が存在する。ゲートに電圧をかけ、強誘電体層をスイッチングさせた後、電圧をとりさっても強誘電体層の分極による反電界が存在することになるので、常に記憶された分極の向きが解消される方向に力を受ける。また、この反電界により半導体基板あるいは上部電極金属から浮遊電極金属と強誘電体膜に電流が徐々に流れ込む。流れ



込んだ電流は強誘電体の分極により発生した浮遊電極金属上の電荷を徐々に補償することになり、最終的には記憶情報を失ってしまう。つまり情報は揮発してしまうことになり、不揮発性記憶素子としての機能を発揮できないことになる。不揮発性記憶素子としての情報を保っている時間のことを保持時間（リテンションタイム）と呼ぶが、この保持時間が充分にとれないことになるのである。なお現在不揮発性記憶素子として用いられているフラッシュメモリについて保証されている標準的な保持時間は $3 \times 10^8$ 秒であり、これはほぼ10年間に相当する。

## 【0011】

MFMI Sトランジスタ構造において、そのリーク電流を抑制して保持時間を伸ばそうとする試みはいくつかなされている。例えば、第四の文献「M. Takahashi et al., Jpn. J. Appl. Phys. Vol. 10 (2001) pp. 2923-2927」によれば、MFMI Sトランジスタ構造の上部電極金属と強誘電体層との間にリーク電流の小さな絶縁膜（I層）を挿入し、MIFMI Sトランジスタ構造とすることで、その保持時間を $1 \times 10^{12}$ 秒に伸ばすことが可能であることを、計算によって報告している。

## 【0012】

また更に、同様な考えから、絶縁体膜を浮遊電極金属と強誘電体膜との間にも挿入しリーク電流を減らしてMIFIMIS構造とすることについて第5の文献「特開2001-387032号公報」に明らかにされている。

## 【0013】

しかしながら、このMIFIMISトランジスタにおいて、上部電極金属、強誘電体層、浮遊電極との間に挿入されている絶縁膜は、強誘電体層との電圧分配のためその厚さが制限される。その制限のため絶縁膜の厚さが薄くなり、その結果絶縁膜のリーク電流量が充分小さなものでは無くなってしまうことが考えられる。

## 【0014】

MOSトランジスタについては、この課題を解決するために、二酸化珪素あるいは三酸化四窒素あるいは酸化窒化珪素に換えて、より比誘電率の高い絶縁膜材

料を用いることで物理的な絶縁膜層の厚さを増やし、リーク電流量を抑制するという方法が検討されている。この比誘電率の高い絶縁膜（通常、「高誘電率膜」あるいは「high-k膜」と呼ばれる）には $ZrO_2$ 、 $Al_2O_3$ 、 $La_2O_3$ 、 $Pr_2O_3$ 、 $Gd_2O_3$ 、 $Y_2O_3$ などの材料が有望視されており、検討が行われている。酸化ハフニウム（ $HfO_2$ ）に代表されるHfの酸化物や珪酸化物（ $HfSiO_x$ ）、珪化アルミン酸化物（ $HfSiAlO_x$ ）、窒化酸化物（ $HfON$ ）なども同様である。

## 【0015】

MIFIMISトランジスタ構造においてもその絶縁膜にMOSトランジスタと同様なhigh-k膜を導入することが考えられる。

## 【0016】

## 【発明が解決しようとする課題】

その絶縁膜にhigh-k膜を導入したMIFIMISトランジスタ構造においても以下の様な問題が存在する。

## 【0017】

MOSトランジスタでは素子が微細化してゲート面積が減少することにより高いキャパシタンスを得る必要が生じる。そのために絶縁膜層の厚さを極端に薄くすることが求められる。2005年に導入が見込まれる素子ではその $SiO_2$ 換算膜厚（EOT: equivalent oxide thickness）が0.8nm以下であるとされる。一方そのリーク電流は上昇するを得ず、電流密度で $10 [A/cm^2]$ とされる。

## 【0018】

MIFIMIS構造ではその不揮発性素子としての動作が最も重要であり、EOTはより小さいものが求められるものの、2005年の時点でも5nm程度でよいと考えられる。一方記憶情報を保持するためにそのリーク電流は非常に小さいことが求められ、2005年の時点で $1 \times 10^{-13} [A/cm^2]$ 以下であることが求められる。

## 【0019】

これらのMOSトランジスタとMIFIMISトランジスタにおいて必要と予

測される性能指数のEOTとリーク電流密度(J)の関係を図1に表す。MOSトランジスタでは2001年時点で1.6nmであったものが2005年には0.8nmになる一方、そのリーク電流密度(J)は $0.1 \text{ [A/cm}^2\text{]}$  か  $1 \times 10^3 \text{ [A/cm}^2\text{]}$  へと増大する。しかしながらMFMISトランジスタではEOTは2005年時点でも5nmであるが、そのリーク電流密度Jは2000年に $1 \times 10^{-8} \text{ [A/cm}^2\text{]}$  だったものが2005年には $1 \times 10^{-13} \text{ [A/cm}^2\text{]}$  と極端に小さくなっている。すなわち従来のMOSトランジスタとMIFIMIS構造ではその絶縁膜に求められる性能が大きく異なり、MOSトランジスタで導入を検討されているhigh-k膜をそのままMIFIMIS構造で用いるだけでは不十分であると言える。

#### 【0020】

本発明の目的は、かかる点に鑑みMIFIMISトランジスタ構造における絶縁体層のリーク電流量を抑制するため、絶縁膜層に酸化ハフニウム( $\text{HfO}_2$ )で代表されるハフニウム酸化物を主要な構成要素として用い、かつそのハフニウム酸化物に窒素を添加した形である窒素添加ハフニウム酸化物あるいは窒化酸化ハフニウムを用い、かつその窒素添加量を最適なものとするすることで上記の問題を解決し、MIFIMISトランジスタにおける記憶の保持時間を10年以上とする構造およびその製造方法を提供することである。

#### 【0021】

なお、以降、窒素添加ハフニウム酸化物および窒化酸化ハフニウムをそれぞれ $\text{HfO}_2:\text{N}$ 、 $\text{HfON}$ の様にあらわす。また、本明細書で用いられている記号、 $\text{HfO}_2:\text{N}$ は、酸化ハフニウムに窒素がドーピング量程度含まれているということをあらわし、また $\text{HfON}$ は、 $\text{Hf}$ が酸素のみならず窒素とも化合していることをあらわしているが、いずれも従来から便宜的に用いられているものと同じく、厳密な組成を表しているものではない。

#### 【0022】

##### 【課題を解決するための手段】

$\text{Hf}$ の酸化物である酸化ハフニウムに窒素を加えた形である窒素添加酸化ハフニウム $\text{HfO}_2:\text{N}$ あるいは窒化酸化ハフニウム $\text{HfON}$ を絶縁膜として用いる

ことは既にMOSトランジスタにおけるhigh-kゲート絶縁膜の検討において行われていることである。

## 【0023】

しかしながらその窒素添加量についてどのくらいの量が妥当であるかということは明らかにされてはいない。これはMOSトランジスタにおいてはゲート絶縁膜として求められる性能が、界面準位密度、膜中固定電荷量、比誘電率（あるいは換算膜厚）、リーク電流量、破壊耐圧、信頼性などの多岐に渡るため、未だ各パラメータに対する評価が完了していないためである。また用いられるゲート絶縁膜がその物理的な膜厚にして数nm以下と非常に薄く、各パラメータと関連付けられるほど窒素組成を厳密に測定できていないためでもある。また更にMOSトランジスタにおける検討はトランジスタデバイス構造に関する電気特性による評価が主であるため、その薄膜自体に関する検討が充分に行われていないためでもある。

## 【0024】

本発明にかかる検討では、用いる絶縁膜の物理的な膜厚が10nm以上と厚く、かつ注目するパラメータが主にリーク電流密度であるために、その組成とリーク電流密度とについて系統的に調べることが可能であった。そしてその検討の結果、リーク電流密度を低減するためには添加する窒素の濃度が少なすぎても悪く、また多すぎても悪くある濃度範囲で最適値があることを見出した。

## 【0025】

その検討の結果、窒素の濃度範囲に最適値があることを表したものを図2に示す。図2は図3に示す構造の上部電極／絶縁膜／下部電極構造（MIM構造）において、上下電極間に1Vを印加したときの絶縁膜層を流れるリーク電流密度（J）の時間（t）変化を示したものであり、J-t線図と呼ぶ。絶縁膜の成膜時の酸素と窒素の流量の和に対する窒素の流量の比が0%のもの、37.5%のもの、62.5%のもの、85.4%のものについて検討した結果が示されているが、組成の異なる絶縁膜では異なる電流量の時間変化が得られていることがわかる。

## 【0026】

窒素流量比が 0 % のものに対して 3 7 . 5 % のものでは 0 秒におけるリーク電流密度が半分以下であり、かつ数秒以上経過したときのリーク電流密度が 2 桁近く低下することがわかる。しかし窒素流量比を 6 2 . 5 % 、 8 5 . 4 % と増加させていくと、そのリーク電流密度も徐々に増加していくことがわかる。すなわち添加する窒素の量はただ多ければよいのでは無く最適値があるといえる。

## 【 0 0 2 7 】

なお、現在のところどれだけの窒素流量比であれば、どれだけの窒素が添加されるかが明らかになっていない。しかしながら図 7 の様に窒素流量比に対して明らかにその膜の屈折率が大きく変化しており、0 . 1 % から数十 % の範囲で窒素を添加された酸化ハフニウムとしての組成が変化していることが明かである。

## 【 0 0 2 8 】

またその絶縁膜を成膜後、熱処理（アニール）を加えることを検討した。その結果、窒素添加された酸化ハフニウム膜について、アニールにも最適処理温度と最適処理時間が存在することを見出した。またアニール雰囲気についても適当な組み合わせがあることを見出した。

## 【 0 0 2 9 】

以下、以上の考察から導かれた「課題を解決するための手段」について説明する。

## 【 0 0 3 0 】

本発明に係る半導体装置は、電界効果型トランジスタにおいて、そのゲート絶縁膜の上方に設置された浮遊電極金属と、更にその上方に設置された強誘電体膜との間、およびその強誘電体膜と更にその上方に設置された制御電極金属との間、それらの一方あるいは両方に H f の酸化物を最も多く含んでなる絶縁膜を配置していることを特徴とする半導体装置である。

## 【 0 0 3 1 】

半導体装置は、電界効果型トランジスタにおいて、H f の酸化物を最も多く含んでなる絶縁膜に、窒素を添加していることを特徴とする半導体装置であることが好ましい。

## 【 0 0 3 2 】

また半導体装置は、窒素の含有量が0.1%以上でありかつ10.0%以下であることを特徴とする半導体装置であることが好ましい。

## 【0033】

また本発明に係る半導体装置の製造方法は、電解効果型トランジスタを製造する工程において、窒素を含むHfの酸化物からなる絶縁膜の形成をスパッタ法によって行い、そのスパッタガスに少なくとも酸素ガスおよび窒素ガスを用いることを特徴とする半導体装置の製造方法である。

## 【0034】

また半導体装置の製造方法は、スパッタガスに用いる酸素と窒素の混合割合が1:10以下であることを特徴とする半導体装置の製造方法であることが好ましい。

## 【0035】

また半導体装置の製造方法は、窒素を添加したHf酸化物の成膜後、200℃以上、800℃以下の温度でアニールすることを特徴とする半導体装置の製造方法であることが好ましい。

## 【0036】

また半導体装置の製造方法は、そのアニール時間を5秒以上30分以下であることを特徴とする半導体装置の製造方法であることが好ましい。

## 【0037】

また半導体装置の製造方法は、アニールの雰囲気ガスに窒素を80%以上含むことを特徴とする半導体装置の製造方法であることが好ましい。

## 【0038】

## 【発明の実施の形態】

## (第1の実施形態)

次に本発明の実施例として、不揮発性を持ちその保持時間が長い電界効果型トランジスタの構造に関して図面を参照しながら説明する。

## 【0039】

図4は、本発明の第1の実施形態に係る不揮発性の電界効果型トランジスタの構造を模式的に示したものである。

## 【0040】

基板7は通常一般的に用いられるSi半導体基板である。その用途によってp型でもよくn型でもよい。通常その低効率は $0.1\ \Omega\text{cm}$ から $50\ \Omega\text{cm}$ である。この基板7上にはソース領域8、ドレイン領域9がそれぞれ形成されている。それらの間の基板上に第1の絶縁膜層としてゲート絶縁膜10が形成されており、このゲート絶縁膜10は通常の電界効果型MOSトランジスタで従来用いられているものに相当する。このゲート絶縁膜の上方に浮遊金属電極11が形成されている。この浮遊金属電極11は強誘電体によって誘起された電荷を保持しておくための電極であり、導電性の薄膜である。通常白金(Pt)やルテニウム(Ru)、あるいはイリジウム(Ir)やその導電性酸化物などが用いられる。あるいは通常のMOSトランジスタと同じくポリシリコンを用いてもよいし、メタルゲートとして用いられる各種金属のシリサイド(珪化物、例えばWSi、PtSiなど。)でもよく、あるいはそれら全てのうちのいくつかの組み合わせによる積層構造でもよい。この浮遊電極金属11の上に第2の絶縁膜層12が形成されている。この第2の絶縁膜層12の上には強誘電体層13が形成されている。ここに用いられる強誘電体材料としては抗電界( $E_c$ )や残留分極量( $P_r$ )などの強誘電的パラメータの値が小さく、またリーク電流量( $J_g$ )が小さく、熱的安定性や耐還元性の高い材料が望まれる。具体的には例えば $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (BIT)や $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT)や $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ (PZT)などが用いられる。この強誘電体層13の上に第三の絶縁膜層14が形成されている。最後にこの第三の絶縁膜層14の上に上部電極金属15が形成されるが、この電極金属には従来のMOSトランジスタと同じ金属電極材料が用いられることが多く、例えばポリシリコンやアルミニウム(Al)などが用いられるが、白金(Pt)やルテニウム(Ru)、あるいはイリジウム(Ir)やその導電性酸化物などでも良い。

## 【0041】

本実施形態では第1の絶縁膜、第2の絶縁膜、第3の絶縁膜の材料として窒素を添加した酸化ハフニウムを用いる。その構成元素の量比率は次に説明される第2の実施例における成膜方法によって規定されるが、少なくとも窒素が微量でも

添加されており、また30%を超えて大量に添加されていることは無い。

#### 【0042】

なお、第1の絶縁膜に関してのみ、基板のSi層7を熱酸化してSiO<sub>2</sub>膜を形成したり、更に窒化して酸化窒化膜SiONとすることが可能であるので、それらを用いても良い。

#### 【0043】

ここであげた構造に関して、ほとんど同じでありながら各層の配置を若干変更した構造が考えられる。これを図5に示す。この構造のほとんどの部分は図4に示した構造と同じであり、用いられる材料の種類、特質も同じである。異なる点は、図4の構造における第2の絶縁膜12に相当する絶縁膜が無いことである。すなわち、Si基板16上にソース領域17、ドレイン領域18が形成されており、それらの間のSi基板16上に第一の絶縁膜19が形成されている。またその上方に浮遊電極金属層20が形成されている。その上方に強誘電体膜からなる層21が形成されている。更にその上方に第2の絶縁膜層22が積層されており、最後に上部電極金属層23が配置されている。この積層構造の組み合わせは第四の文献としてあげた「M. Takahashi et al., Jpn. J. Appl. Phys. Vol. 10 (2001) pp. 2923-2927」にあるものと同様であるが、本発明においては少なくとも一つ以上の絶縁膜の材料として窒素を添加した酸化ハフニウムを使用することが大きく異なる。

#### 【0044】

##### (第2の実施形態)

次に、本発明の第2の実施形態について図面を参照しながら説明する。この実施形態は上記本発明の電界効果型トランジスタの製造方法に関して説明したものである。従って前述の第1の実施形態と一体として利用されるものである。

#### 【0045】

図6は本実施形態に係る不揮発性の電界効果型トランジスタ構造の製造装置を模式的に示したものである。この製造装置は先ず超高真空状態に減圧することが可能なスパッタ装置24を備える。またそのスパッタ装置24中に係る電界効果



型トランジスタを形成する基板33を設置することができる。その基板を設置した背面にこの基板を加熱するための基板過熱機構27を備える。さらにこのスパッタ装置24を減圧するための真空ポンプ26を備える。またこのスパッタ装置24と超高真空ゲートバルブを介して接続されているロードロックチャンバー25を備えており、このロードロックチャンバーを介して基板を大気中から搬送することで、スパッタ装置24を直接大気に開放することなく成膜を行える。その結果スパッタ装置24の真空度は非常に長い時間、非常に高い真空度（例えば $1 \times 10^{-10}$  Torr以下）（1Torr=133.322Pa）に保つことができ、スパッタ装置24の汚染を防ぐとともに基板33への汚染を防ぐことができる。またこのスパッタ装置24は絶縁膜構成要素の少なくとも一つ以上をスパッタターゲット28として備える。本発明におけるスパッタターゲットには主に金属Hfを用いる。スパッタ装置24にはガス供給ライン29を介してスパッタガス原料のボンベ30、31、32が接続されている。スパッタガスには酸素、窒素、アルゴンを用いる。基板33とターゲット28との間にはシャッター27が存在し、成膜時以外は図6の様に閉じられていてターゲットと28と基板33を完全に遮断し、ターゲット材料が基板上に堆積することを防ぐ。一方成膜時にはこのシャッター27が開放されターゲット材料がスパッタガスによって基板33上に供給されることになる。

#### 【0046】

次に実際の成膜手順について説明する。

#### 【0047】

Si基板33を、ロードロック25を介して基板加熱装置27に装着した後、しばらく時間を置くことでスパッタ装置24を十分に減圧する。その到達圧力は $1 \times 10^{-7}$  Torr以下であることが望ましい。次に基板加熱装置に通電し、基板33の温度を成膜中の値まで上昇させる。成膜中の基板温度は200℃以上、650℃以下であり、250℃～350℃の間であることがより好ましい。次にスパッタガスのうち、アルゴンガスのみをスパッタ装置24に導入する。その成膜中の流量はスパッタ装置の体積と、ポンプ26の排気速度によっても変化するが、1 sccm以上、100 sccm以下の値であり、5 sccm～20 scc

mの間であることがより好ましい。成膜中の全圧はスパッタ装置の体積とポンプ 26 の排気速度、および電圧印加装置の性能によっても異なるが、通常 0.1 m Torr 以上、100 m Torr 以下であり、1 m Torr ~ 20 mm Torr の間であることが望ましい。次にそのアルゴンガスをスパッタガスとしてスパッタ装置 24 中でプラズマを点燈させる。この状態でしばらくのあいだおき、Hf ターゲット表面をアルゴンプラズマによってクリーニングさせる。ターゲット 28 と基板 33 との間にはシャッター 27 を開けていないのでターゲット材料が基板 33 上に堆積することは無い。クリーニングの時間はターゲット 28 の状態によって変化するが通常 3 分以上 1 時間以下であり、5 分 ~ 30 分の間であることがより望ましい。ターゲット表面のクリーニングが終了したら一旦プラズマを止める。アルゴンガスに加えて Hf を酸化するための酸素ガスをボンベから導入し、更に窒素を添加するために窒素ガスをボンベから導入する。それらのガスをスパッタガスとしてスパッタ装置 24 中でプラズマを点燈させる。装置におけるガスの流量、印加電力、真空度などのパラメータが安定したら、シャッター 27 を開放し、基板 33 上に窒素添加の酸化ハフニウム膜を堆積させる。事前に測定した成膜レートによって所望の膜厚に対する成膜時間を算出しておき、その時間が経過したときにシャッター 27 を閉じ、印加電力を除去し、スパッタガスの供給を止めて成膜を終了する。

## 【0048】

酸素ガス、窒素ガス、アルゴンガスの成膜中の流量比は非常に重要なパラメータであり、できた絶縁膜の電気特性に強い影響を与える。特に酸素ガスと窒素ガスとの流量比は成膜した酸化ハフニウム膜への窒素の添加量を決めることになるので特に重要である。

## 【0049】

アルゴンガスは Hf ターゲット 28 をスパッタリングして基板 33 上に Hf 金属を供給することに寄与するが、Hf の酸化や窒素の添加に対してはほとんど影響を及ぼさない。従ってここでは酸素と窒素の比に注目すれば良い。今、窒素ガス流量 ( $F_N$ ) と酸素ガス流量 ( $F_O$ ) の和に対する窒素ガス流量の割合を窒素流量比  $R_N$  として定める。すなわち  $R_N = F_N / (F_N + F_O)$  で現される。

## 【0050】

本発明の窒素添加酸化ハフニウム絶縁膜のスパッタ装置による成膜において、その窒素流量比 $R_N$ は0.05以上、0.90以下の範囲であり、0.1～0.4の間にあることがより好ましい。

## 【0051】

成膜終了後、スパッタ装置24から基板33を取り出す。浮遊電極金属層や強誘電体層、上部電極金属層を形成する工程を経て、その時々で上記の方法により絶縁膜層を成膜、挿入する。その積層構造形成工程中、あるいは全工程終了後、アニール処理を行う。

## 【0052】

アニール温度は200℃以上、1100℃以下の範囲であり、550℃～750℃の間であることがより好ましい。アニール時間はそのアニール温度によっても変化するが、5秒以上、1時間以下の範囲であり、例えばアニール温度700℃の時には5分～30分の間であることがより望ましい。アニール雰囲気は用いる金属電極や、基板上の他の素子などによっても異なるが例えば電極金属に白金(Pt)を用いる場合には窒素濃度が80%以上であり、窒素100%であることが望ましい。

## 【0053】

## 【発明の効果】

本発明における不揮発性の電界効果型トランジスタの構造によると、窒素の量を限定して添加した酸化ハフニウム絶縁膜を、上部電極金属と強誘電体層との間あるいは強誘電体層と浮遊電極金属との間あるいは浮遊電極金属とSi基板との間の全てあるいは一部に挿入することにより、そうで無い場合に比べてリーク電流を100分の1から1000分の1に抑制することができ、不揮発性素子の保持時間を100倍から1000倍延ばすことができる。

## 【図面の簡単な説明】

## 【図1】

CMOSとMFMI S素子の絶縁膜に求める性能の方向性を現した模式図

## 【図2】

窒素添加量の違いによる酸化ハフニウム絶縁膜の J - t 線図の実験結果を示す  
図

【図 3】

図 2 の結果を得た金属／絶縁膜／金属積層構造の断面の模式図

【図 4】

本発明の第 1 の実施形態に係る不揮発性の電界効果型トランジスタ構造の断面  
を示す模式図

【図 5】

本発明の第 1 の実施形態に係る不揮発性の電界効果型トランジスタ構造の断面  
を示す模式図

【図 6】

本発明の第 2 の実施形態に係る絶縁膜製造装置の断面の模式図

【図 7】

窒素流量比と膜の比誘電率との関係について調べた実験結果を表した図

【符号の説明】

1 Si 基板 ( p - Si )

2 SiO<sub>2</sub>

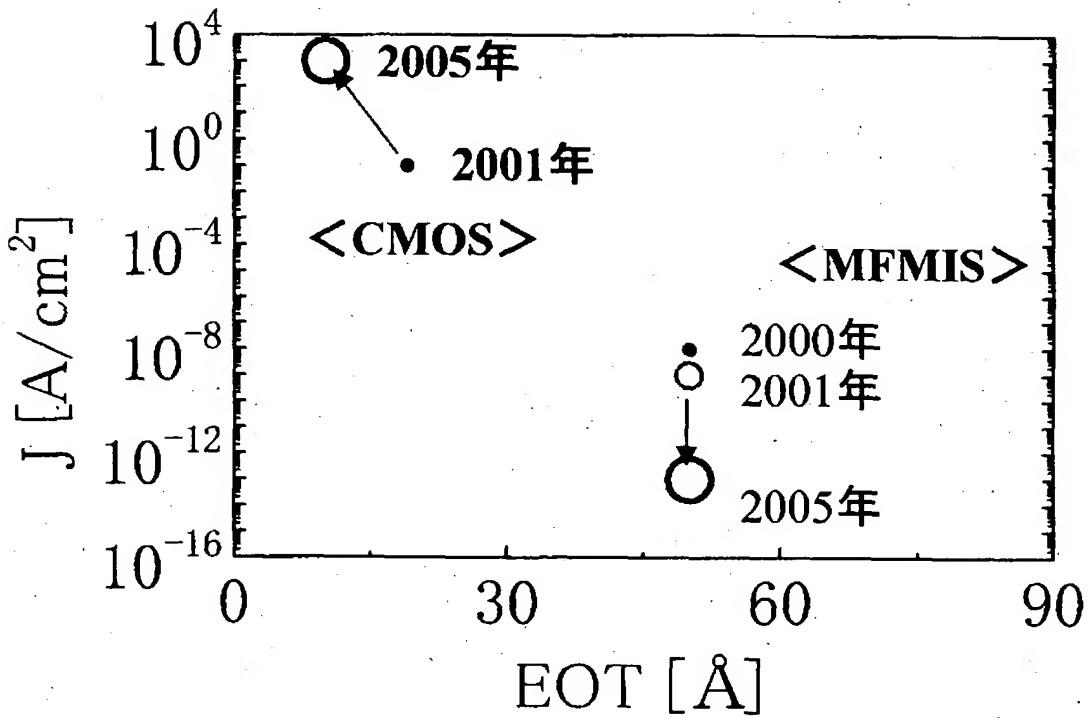
3 Pt

4 HfO<sub>2</sub>

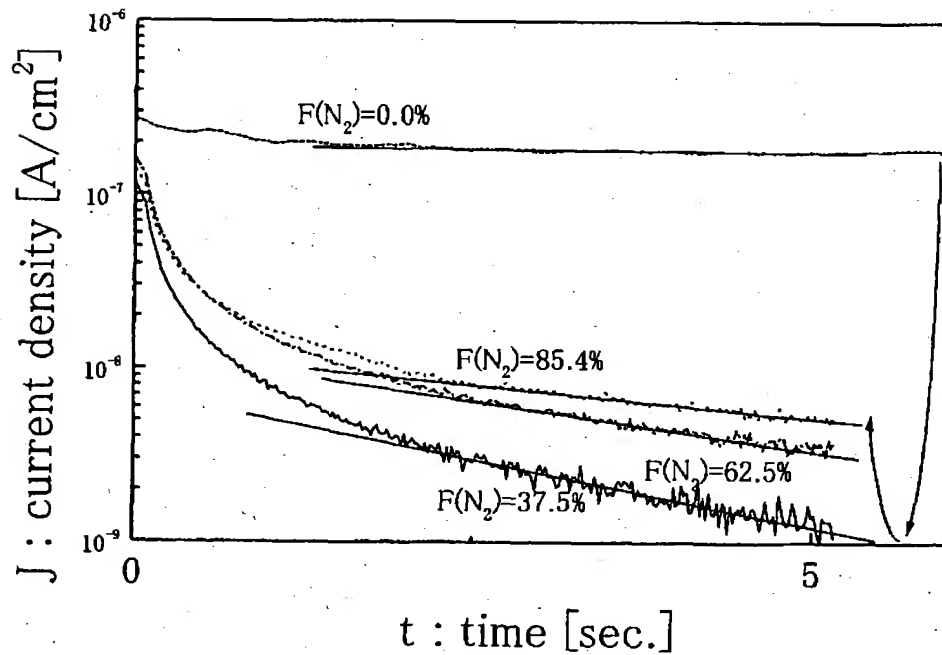
5 Pt

【書類名】 図面

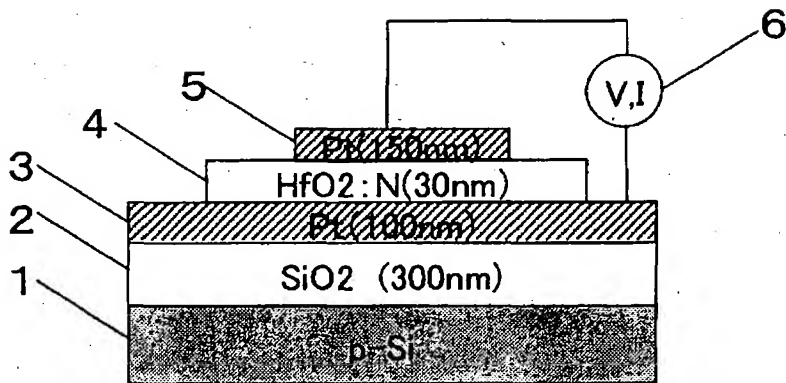
【図1】



【図2】

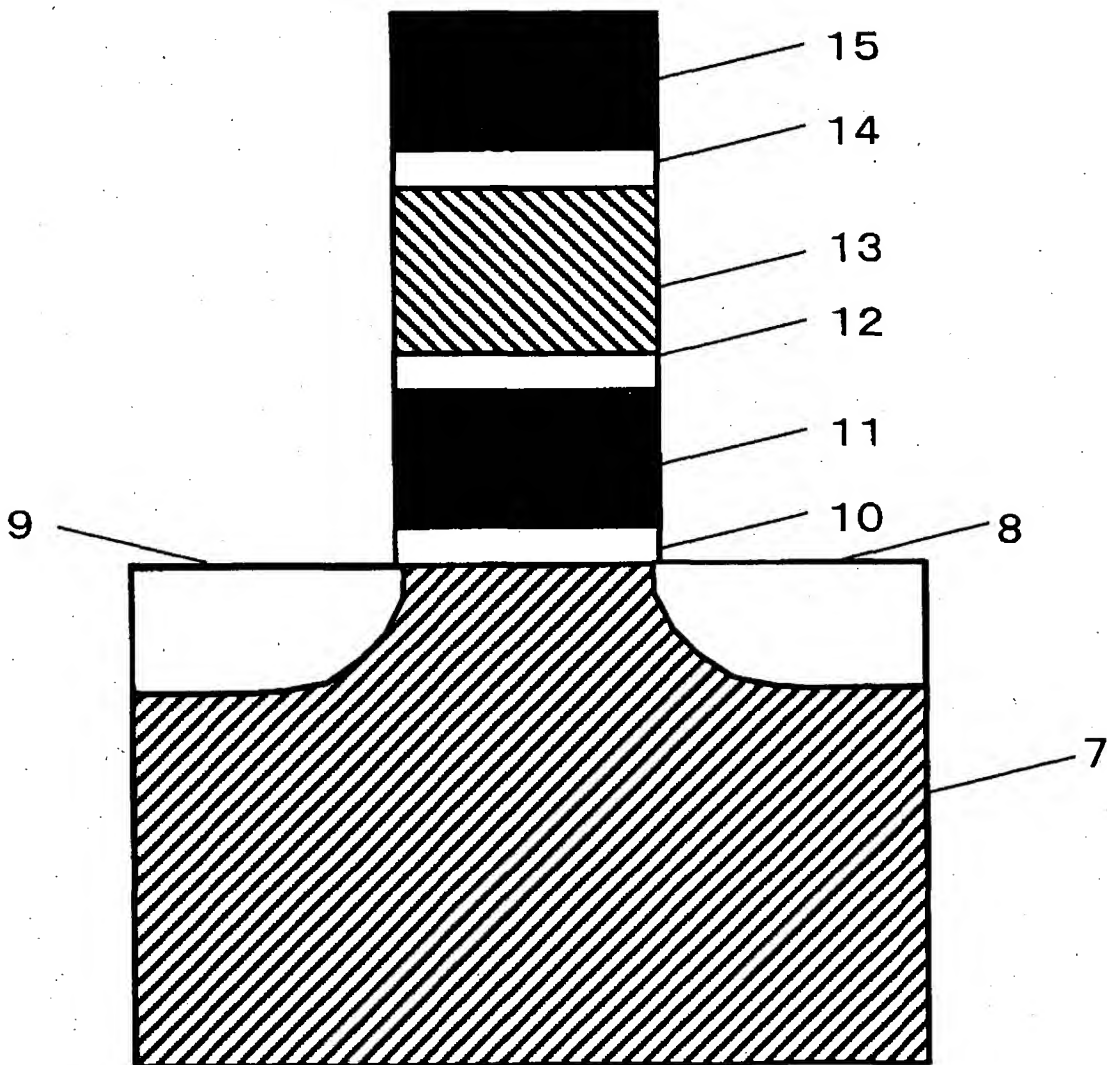


【図3】

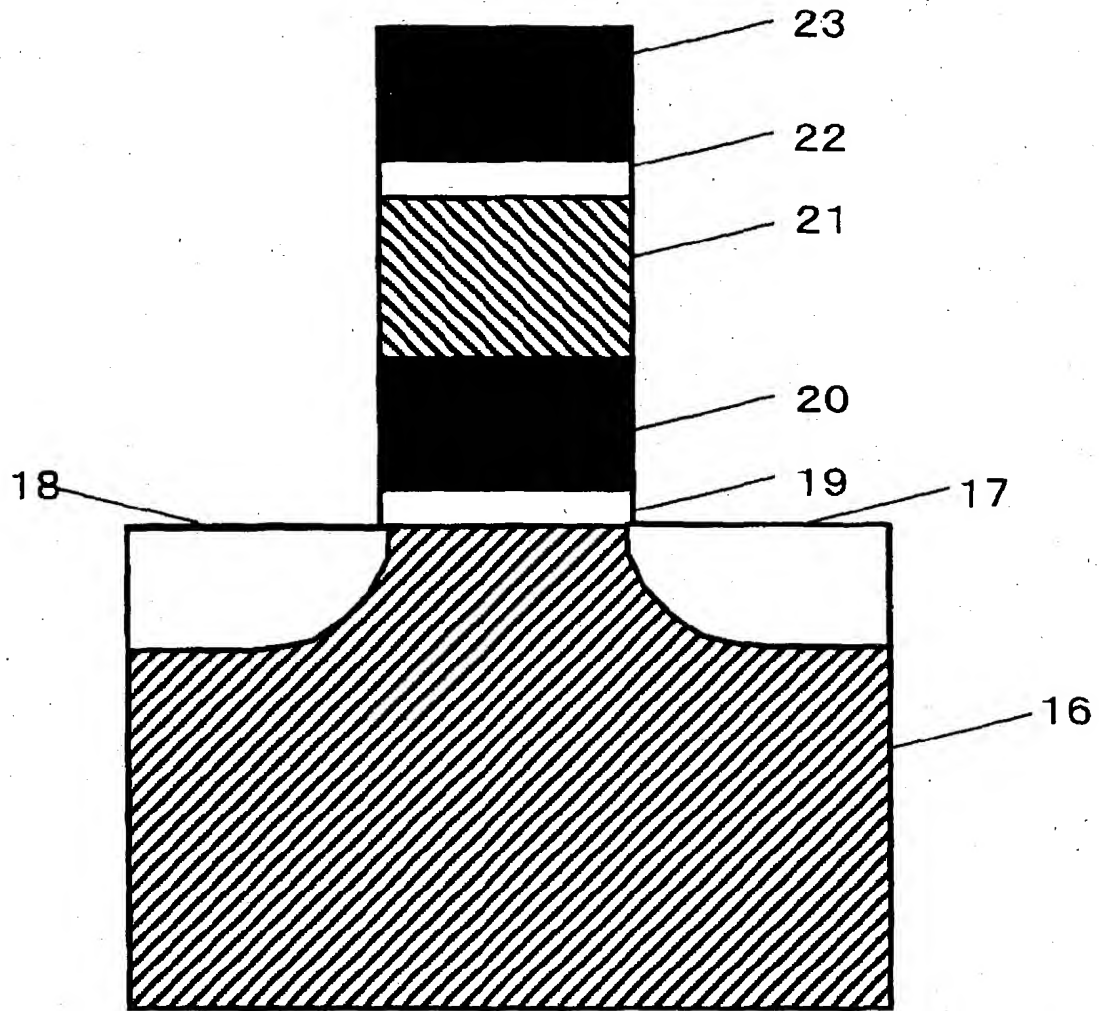


膜構成

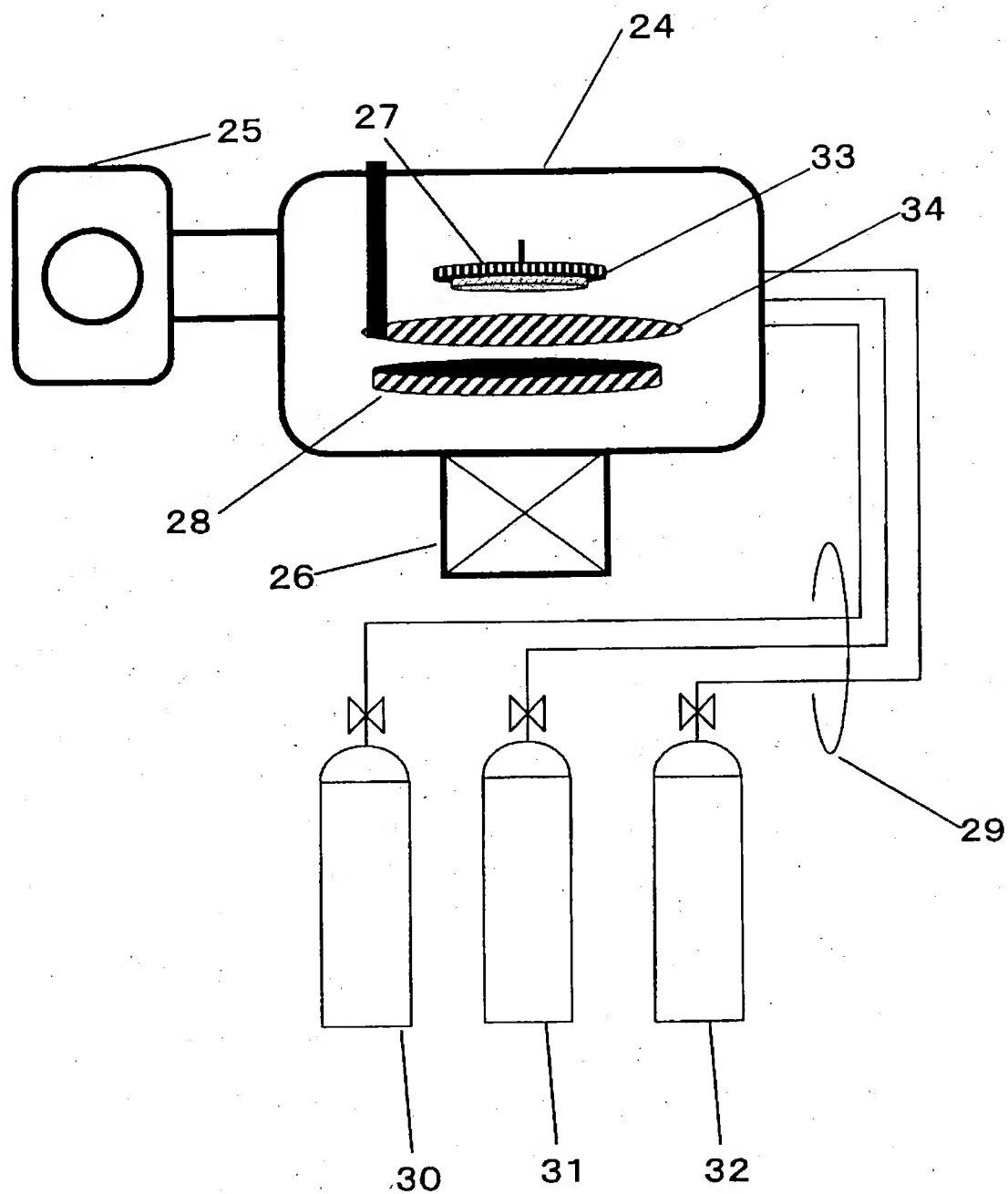
【図4】



【図5】

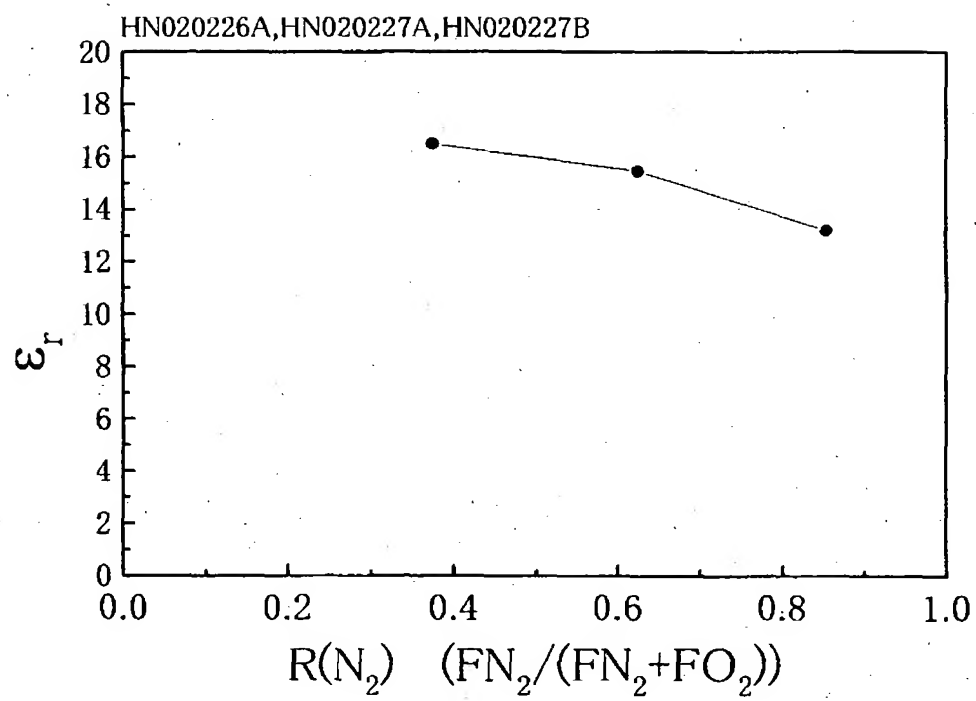


【図 6】





【図 7】



【書類名】 要約書

【要約】

【課題】 不揮発性の電界効果型トランジスタにおいて、リーク電流を抑制し、不揮発性素子の保持時間を延ばす。

【解決手段】 電界効果型トランジスタにおいて、そのゲート絶縁膜の上方に設置された浮遊電極金属と、更にその上方に設置された強誘電体膜との間、およびその強誘電体膜と更にその上方に設置された制御電極金属との間、それらの一方あるいは両方に H f の酸化物を最も多く含んでなる絶縁膜を配置していることを特徴とする半導体装置。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社